

## Inhalt

Energiespeicher: Kondensator .....	2
Kapazität (Gemessen in ‚Farad‘):.....	2
Feldeffekttransistor (MOSFET) .....	2
Anschlüsse .....	2
Bauform.....	2
SRAM & DRAM (Flüchtige Speicher) .....	2
SRAM: Static Random Access Memory .....	2
DRAM: Dynamic Random Access Memory.....	2
CMOS.....	3
Aufbau .....	3
NAND-Aufbau .....	3
NOR-Aufbau.....	3
Schaltwerke (Signalspeicher) .....	4
Nichtgetaktete Flip-Flops (Latches).....	4
RS-Flip-Flop.....	4
Getaktete Flip-Flops .....	4
Getaktetes RS-Flip-Flop .....	4
D-Flip-Flop .....	5
JK-Flip-Flop (Einflankengesteuert).....	5
T-Flip-Flop.....	6
JK-Master-Slave-Flip-Flop (Zweiflankengesteuert) .....	6
Synchron- & Asynchronzähler .....	6
Asynchronzähler .....	6
Synchronzähler .....	6

## Energiespeicher: Kondensator

- Zwei Gegenüberliegende Metallplatten; Dazwischen Luft
- Durch anliegende Spannung werden Ladungsteilchen der Luft an entsprechende Metallplatten gedrückt; Nach kurzer Zeit fließt kein Strom mehr.
- Speichert Energie verlustfrei ABER beim laden/entladen entsteht Verlustleistung über den Ladewiderstand.

Kapazität (Gemessen in ‚Farad‘):

$$C = \frac{As}{U}$$

## Feldeffekttransistor (MOSFET)

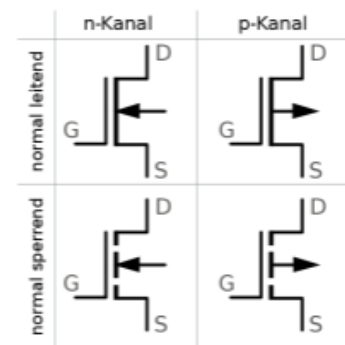
Anwendung in CMOS Logikschaltungen

### Anschlüsse

- Drain: Stromabfluss / Ground
- Gate: Steueranschluss des Schalters
- Source: Stromquelle / Pluspol

### Bauform

- P oder N Kanal:
  - o P-Kanal: Pfeil in Positive Richtung
    - Strom fließt von Source zu Drain
    - Reagiert auf negative Spannung zwischen Source & Gate
  - o N-Kanal: Pfeil in negative Richtung
    - Strom fließt von Drain zu Source
    - Reagiert auf positive Spannung zwischen Source & Gate
- ‚Normal leitend‘ oder ‚Normal sperrend‘
  - o Leitend: Durchgezogene Linie
    - Ohne Gatespannung Stromfluss
  - o Sperrend: Unterbrochene / Gestrichelte Linie
    - Ohne Gatespannung kein Stromfluss



## SRAM & DRAM (Flüchtige Speicher)

### SRAM: Static Random Access Memory

- Schneller Speicher – Kleine Kapazität
  - o Cache
- Verwendet Transistoren und Latches
- Benötigt kein Auffrischen zur Vermeidung von Datenverlust
- Niedrige Packungsdichte

### DRAM: Dynamic Random Access Memory

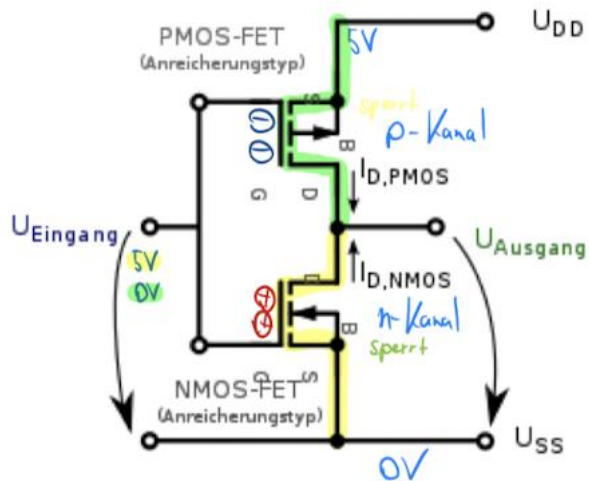
- Langsamer Speicher – Große Kapazität
  - o PC-Hauptspeicher
- Verwendet Kondensatoren und wenige Transistoren
- Hohe Packungsdichte

## CMOS

Verlustleistung: Im statischen Zustand fast keine Verlustleistung -> Beim Umschalten kurzer Stromfluss durch Umladen der Transistoren

- Proportional zur Frequenz

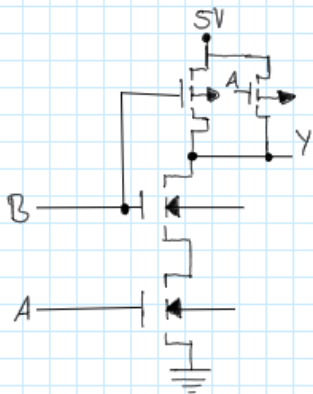
Aufbau



NAND-Aufbau

NAND:

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

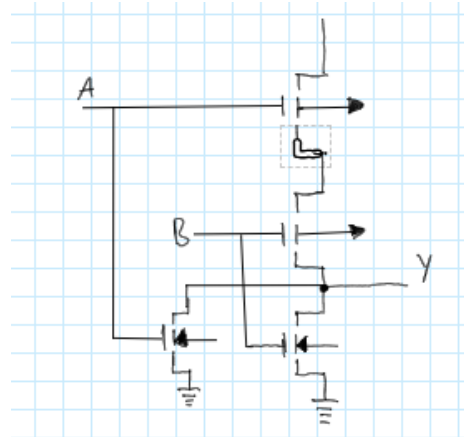


Unten n-Kanal für 0/0V  
Oben p-Kanal für

NOR-Aufbau

NOR:

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0



## Schaltwerke (Signalspeicher)

### Nichtgetaktete Flip-Flops (Latches)

#### RS-Flip-Flop

##### Zwei Eingänge

- Setzen
- Rücksetzen

##### Zwei Ausgänge

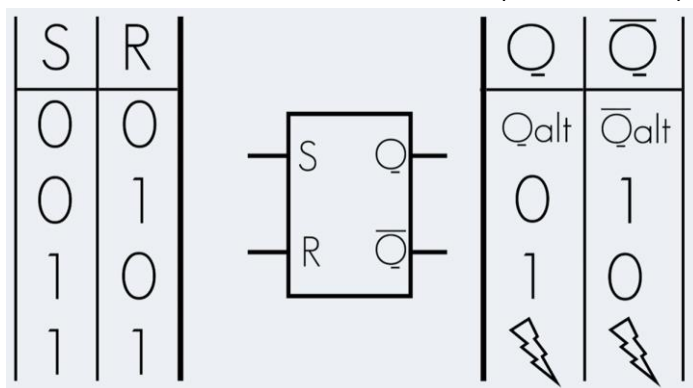
- Normal
- Invertiert

Wenn ausschließlich Setzen aktiv -> Ausgang ist 1

Wenn ausschließlich Rücksetzen aktiv -> Ausgang ist 0

Wenn kein Eingang aktiv -> Letzter Zustand wird beibehalten

Wenn beide aktiv -> Verbotener Zustand (nicht definiert)

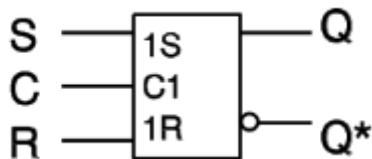


### Getaktete Flip-Flops

#### Getaktetes RS-Flip-Flop

Wie ungetaktetes RS-Flip-Flop, bis auf:

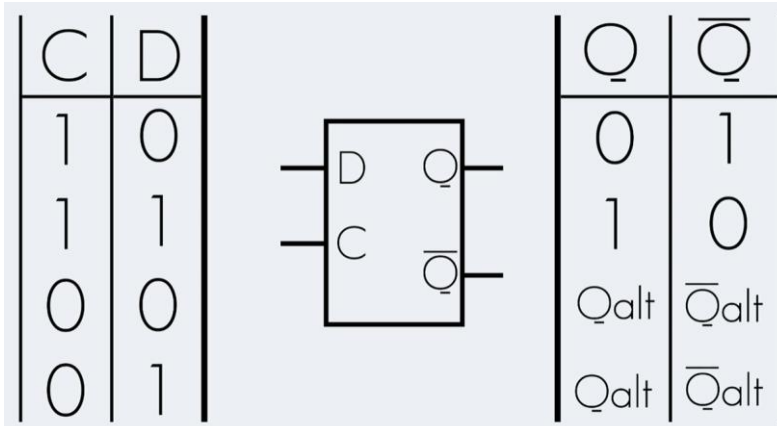
- Getaktetes RS-FF hat einen zusätzlichen Clock-Eingang.
- Die Eingänge R & S werden erst wirksam, wenn Clock 1 ist (aufwärts Flanke)



## D-Flip-Flop

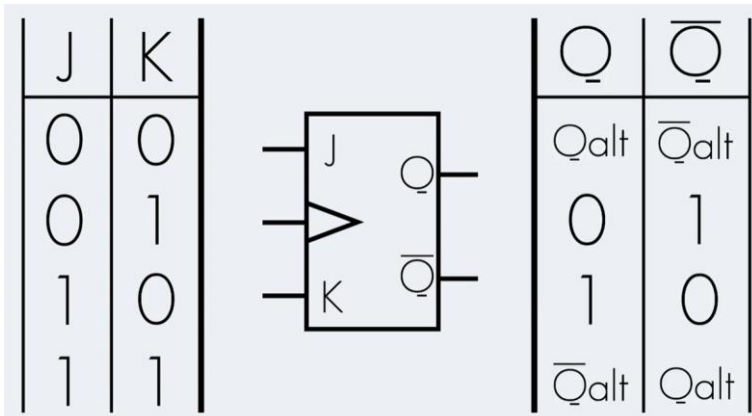
### Erweiterung des getakteten RS-Flip-Flop

- Rücksetz-Eingang entfällt und ist stattdessen immer das Gegenteil vom Setz-Eingang
  - o Damit schließt man den verbotenen Zustand des RS-Flip-Flop aus.
- Eingänge sind demnach nur noch D (Setzen) und ein Clock
- Wenn Clock 1: Dann Ausgang = D und neg. Ausgang = neg. D
- Wenn Clock 0: Vorheriger Zustand wird verwendet.



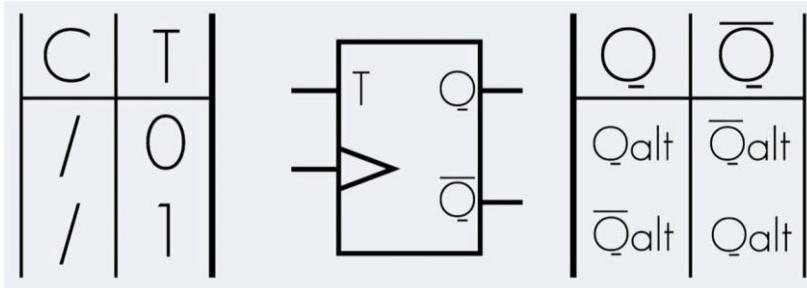
### JK-Flip-Flop (Einflankengesteuert)

- Basiert auf getaktetem RS-Flip-Flop
- Zustände der Eingänge werden bei pos. Flanke evaluiert & realisiert
  - o Verhält sich bei Zuständen, bei denen J o. K jeweils das Gegenteil sind wie RS-Flip-Flop
  - o Sind J u. K 0 wird der vorherige Zustand beibehalten
  - o Sind J u. K 1 wird der vorherige Zustand invertiert (Toggeln)
    - Schließt den verbotenen Zustand des RS-Flip-Flop aus



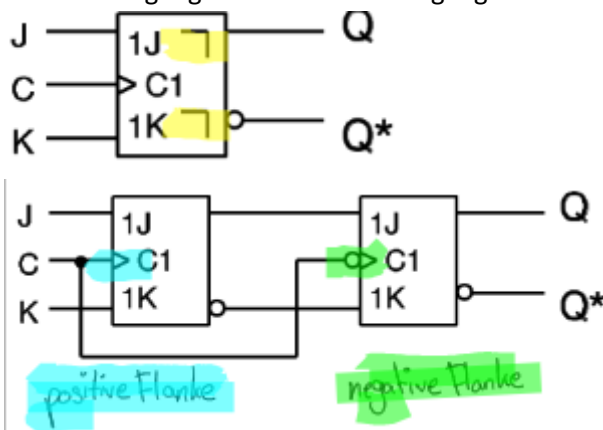
### T-Flip-Flop

- Basiert auf JK-Flip-Flop
- Kann nur Toggeln und Speichern
- J und K sind immer gleich
  - o Demnach nur ein Eingang und eine Clock
- Bei 0 wird der Zustand beibehalten, bei 1 invertiert



### JK-Master-Slave-Flip-Flop (Zweiflankengesteuert)

- Besteht aus 2 JK-Flip-Flops; Master und Slave
- Eingänge J u. K werden bei pos. Flanke evaluiert; bei neg. Flanke realisiert
  - o Master: reagiert auf pos. Flanke
  - o Slave: reagiert auf neg. Flanke (Clock negiert)
- Ausgang des Masters ist Eingang des Slaves; Clock ist identisch



## Synchron- & Asynchronzähler

### Asynchronzähler

- Gatterlaufzeit (Zeit die ein Gatter zum umschalten braucht) addiert sich
  - o Ausgänge sind nicht konsistent!
- Einfachere Schaltung

### Synchronzähler

- Alle haben den gleichen Takt
  - o Gatterlaufzeit immer identisch
- Kompliziertere Schaltung