

## Grundlagen Elektrotechnik

### Elektrischer Strom

$$I = \frac{\Delta Q}{\Delta t}$$

### Elektrische Arbeit

$$W_{el} = U \cdot Q = U \cdot (I \cdot t)$$

### Elektrische Leistung

$$P = \frac{W}{t} = \frac{\text{Arbeit}}{\text{Zeit}} = \frac{U \cdot I \cdot t}{t} = U \cdot I$$

### Energiespeicher: Kondensator

Zwei gegenüberliegende Metallplatten; Dazwischen Luft  
Durch anliegende Spannung werden Ladungsteilchen der Luft an entsprechende Metallplatten gedrückt; Nach kurzer Zeit fließt kein Strom mehr.

Speichert Energie verlustfrei **ABER** beim laden/entladen entsteht Verlustleistung über den Ladewiderstand.

Kapazität (Gemessen in „Farad“):

$$C = \frac{As}{U}$$

### Feldeffekttransistor (MOSFET)

#### Anschlüsse

*Drain*: Stromabfluss / Ground

*Gate*: Steueranschluss des Schalters

*Source*: Stromquelle / Pluspol

#### Bauform

*P oder N Kanal*: P (->) | N (<-)

„Normal leitend“ oder „Normal sperrend“

*Leitend*: Durchgezogene Linie

*Sperrend*: Unterbrochene / Gestrichelte Linie

Anwendung in CMOS Logikschaltungen

## CMOS

Aufbau (von oben nach unten):

-Normal sperrender P-Kanal MOSFET (Drain nach oben)

-Spannungsabgabe

-Normal sperrender N-Kanal MOSFET (Source von unten)

-Gate bei beiden MOSFETs von links (Spannungseingang)

NAND-Aufbau (von unten nach oben):

-Source (0V)

-2 Normal sperrende N-KANAL MOSFETs in Reihe

-Drain läuft über Leitung in Spannungsabgabe

-Von Leitung abgehend:

--2 Normal sperrende P-Kanal MOSFETs in Reihe

--Zwischen P-Kanal MOSFETs: 5V Stromquelle

--Drain der P-Kanal MOSFETs endet wieder auf der Leitung zur

Spannungsabgabe

-A liegt am 1. N-Kanal und am 4. P-Kanal MOSFET an

-B liegt am 2. N-Kanal und am 3. P-Kanal MOSFET an

*Immer 1 außer A & B sind gleichzeitig 1*

NOR-Aufbau (von unten nach oben):

-Parallel 2x Source (0V)

--Jeweils Normal sperrender N-Kanal MOSFET

--Linker MOSFET Drain über Leitung gemeinsam mit rechtem MOSFET

auf generellen Drain

-An Drain Leitung:

--Nach oben:

---2 Normal sperrende P-Kanal MOSFETs

-A liegt am linken N-Kanal und am oberen P-Kanal MOSFET an

-B liegt am rechten N-Kanal und am unteren P-Kanal MOSFET an

*Immer 0 außer A & B sind gleichzeitig 0*

## SRAM & DRAM (Flüchtige Speicher)

### SRAM: Static Random Access Memory

Schneller Speicher – Kleine Kapazität -> *Cache*

Verwendet Transistoren und Latches

Benötigt kein Auffrischen zur Vermeidung von Datenverlust

Niedrige Packungsdichte

### DRAM: Dynamic Random Access Memory

Langsamer Speicher – Große Kapazität -> *PC-Hauptspeicher*

Verwendet Kondensatoren und wenige Transistoren

Hohe Packungsdichte

## Schaltwerke (Signalspeicher)

### Nichtgetaktete Flip-Flops (Latches)

#### RS-Flip-Flop

Zwei Eingänge: Setzen u. Rücksetzen

Zwei Ausgänge: Normal u. Invertiert

Wenn ausschließlich Setzen aktiv: Ausgang ist 1

Wenn ausschließlich Rücksetzen aktiv: Ausgang ist 0

Wenn kein Eingang aktiv: Letzter Zustand wird beibehalten

Wenn beide aktiv: Verbotener Zustand (nicht definiert)

### Getaktete Flip-Flops

#### Getaktetes RS-Flip-Flop

Wie ungetaktetes RS-Flip-Flop, bis auf:

-Getaktetes RS-FF hat einen zusätzlichen Clock-Eingang.

-Die Eingänge R & S werden erst wirksam, wenn Clock 1 ist (aufwärts Flanke)

#### D-Flip-Flop

Erweiterung des getakteten RS-Flip-Flop

-Rücksetz-Eingang entfällt und ist stattdessen immer das Gegenteil vom Setz-Eingang

--Damit schließt man den verbotenen Zustand des RS-Flip-Flop aus.

-Eingänge sind demnach nur noch D (Setzen) und ein Clock

-Wenn Clock 1: Dann Ausgang = D und neg. Ausgang = neg. D

-Wenn Clock 0: Vorheriger Zustand wird verwendet.

#### JK-Flip-Flop (Einflankengesteuert)

Basiert auf getaktetem RS-Flip-Flop

Zustände der Eingänge werden bei pos. Flanke evaluiert

-Verhält sich bei Zuständen, bei denen J o. K jeweils das Gegenteil sind wie RS-Flip-Flop

-Sind J u. K 0 wird der vorherige Zustand beibehalten

-Sind J u. K 1 wird der vorherige Zustand invertiert

--Schließt den verbotenen Zustand des RS-Flip-Flop aus

#### T-Flip-Flop

Kann nur Toggeln und Speichern; basiert auf JK-Flip-Flop

J und K sind immer gleich

Demnach nur ein Eingang und eine Clock

Bei 0 wird der Zustand beibehalten, bei 1 invertiert

#### JK-Master-Slave-Flip-Flop (Zweiflankengesteuert)

Besteht aus 2 JK-Flip-Flops; Master und Slave

Eingänge J u. K werden bei pos. Flanke evaluiert; bei neg. Flanke realisiert

Master: reagiert auf pos. Flanke

Slave: reagiert auf neg. Flanke (Clock negiert)

Ausgang des Masters ist Eingang des Slaves; Clock ist identisch

## Synchron- & Asynchrönzähler

Nachteil Asynchrönzähler: Gatterlaufzeit (Zeit die ein Gatter zum umschalten braucht) addiert sich. Ausgänge sind nicht konsistent!  
Synchronzähler haben alle den gleichen Takt

Beim Asynchrönzähler müssen in den Timing-Diagrammen die sich addierenden Gatterlaufzeiten berücksichtigt werden

Beim Synchronzähler ist die Gatterlaufzeit durch den gleichen Takt immer die gleiche